

PCT

特許協力条約に基づいて公開された出願

世界知的所有権機関
国際事務局

(55) (X)

(51) 国際特許分類6
H01L 29/778, 21/338, 29/861

A1

(11) 国際公開番号

WO97/45877

(43) 国際公開日

1997年12月4日(04.12.97)

(21) 国際出願番号

PCT/JP96/01480

(22) 国際出願日

1996年5月31日(31.05.96)

(71) 出願人 (米国を除くすべての指定国について)

株式会社 日立製作所(HITACHI, LTD.)[JP/JP]
〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)

(72) 発明者 ; および

(75) 発明者 / 出願人 (米国についてのみ)

小堀 勉(KOBORI, Tsutomu)[JP/JP]
〒370 群馬県高崎市西横手町145番3号
グリーンピア高崎1306号室 Gunma, (JP)
工藤純久(KUDO, Sumihisa)[JP/JP]
〒371 群馬県前橋市住吉町2丁目3番20号
ライオンズプラザ前橋広瀬川905号 Gunma, (JP)

(74) 代理人

弁理士 秋田収喜(AKITA, Shuki)
〒116 東京都荒川区西日暮里6丁目53番3号
藤井ビル201号 Tokyo, (JP)

(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

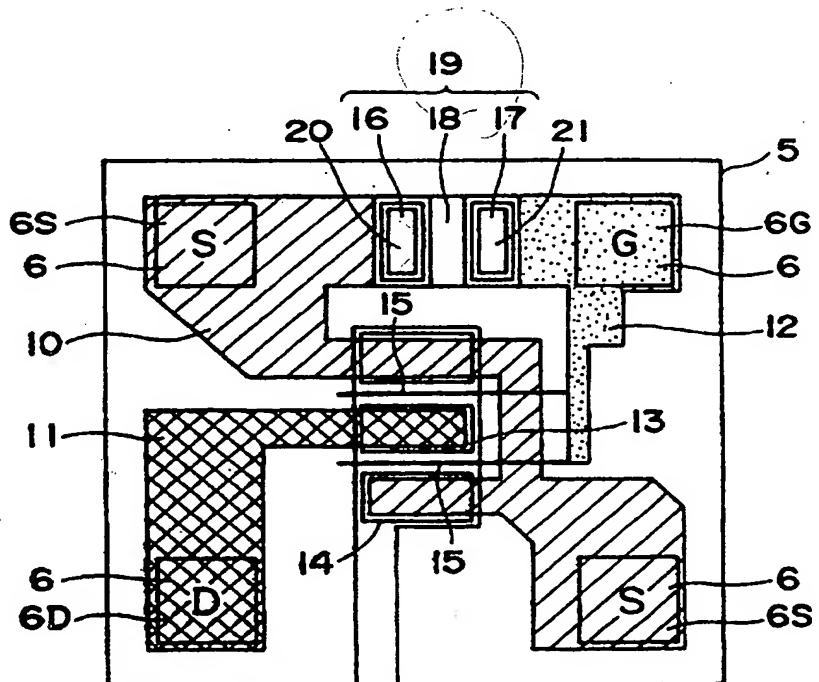
添付公開書類
国際調査報告書

(54) Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(54) 発明の名称 半導体装置およびその製造方法

(57) Abstract

A communication semiconductor device in which an HEMT having a frequency band of about 5 GHz is incorporated. The dielectric strength of the semiconductor against a surge current at the time of handling, etc., is prevented. The semiconductor device is provided with a semi-insulating compound semiconductor substrate (semi-insulating GaAs substrate), an electron traveling layer made of an undoped compound semiconductor (undoped GaAs) formed on the main surface of the semiconductor substrate, an electron supplying layer made of a compound semiconductor (AlGaAs) of a first conductivity (N-type) which is formed on the electron traveling layer and generates two-dimensional electron gas channels in the surface layer of the electron traveling layer, source and drain electrodes formed on the electron supplying layer, and a gate electrode formed on the upper surface of the electron supplying layer between the source and drain electrodes. An NiN protective element composed of an intrinsic semiconductor layer formed by partially etching off the electron supplying layer and part of the electron supplying layer is provided between the gate and source electrodes.



5 GHz 帯前後のHEMTを組み込んだ通信用半導体装置である。静電破壊強度を高くして、取り扱い時等のサージ電流による破壊を防止する。半導体装置は、半絶縁性化合物半導体基板（半絶縁性GaAs基板）と、前記半絶縁性化合物半導体基板の正面に形成されたアンドープ化合物半導体（アンドープGaAs層）からなる電子走行層と、前記電子走行層上に形成されかつ前記電子走行層の表層に2次元電子ガスチャネルを発生させる第1導電型（N型）の化合物半導体（AlGaAs層）からなる電子供給層と、前記電子供給層の上面に形成されるソース電極およびドレイン電極と、前記ソース電極とドレイン電極の間の前記電子供給層の上面に形成されたゲート電極とを有する構造において、前記ゲート電極とソース電極の間には前記アンドープ層上の電子供給層を部分的にエッティング除去して形成された真性半導体層と電子供給層部分とによるN i N型保護素子が設けられている。

参考情報

PCTに基づいて公開される国際出願のパンフレット第一頁に記載されたPCT加盟国を同定するために使用されるコード

AL	アルバニア	ES	スペイン	LR	リベリア	SG	シンガポール
AM	アルメニア	FIR	フィンランド	LS	レソト	S I	スロヴェニア
AT	オーストリア	FR	フランス	LT	リトアニア	SK	スロヴァキア共和国
AU	オーストラリア	GA	ガボン	LU	ルクセンブルグ	SL	シエラレオネ
AZ	アゼルバイジャン	GB	英國	LV	ラトヴィア	SN	セネガル
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	MC	モナコ	SZ	スワジランド
BB	バルバドス	GH	ガーナ	MD	モルドバ共和国	TD	チャード
BE	ベルギー	GM	ガンビア	MG	マダガスカル	TG	トーゴ
B F	ブルガリア	GN	ギニア	MK	マケドニア旧ユーゴス	TJ	タジキスタン
H G	ブルガリア	GR	ギリシャ	ML	ラヴィア共和国	TM	トルクメニスタン
B J	ベナン	HU	ハンガリー	MN	マリ	TR	トルコ
BR	ブラジル	ID	インドネシア	MR	モンゴル	TT	トリニダード・トバゴ
BY	ベラルーシ	IE	アイルランド	MW	モーリタニア	UA	ウクライナ
CA	カナダ	IL	イスラエル	MW	マラウイ	UG	ウガンダ
CF	中央アフリカ共和国	IS	イスランド	MX	メキシコ	US	米国
CG	コンゴー	IT	イタリア	NE	ニジェール	UZ	ウズベキスタン
CH	スイス	JP	日本	NL	オランダ	VN	ヴィエトナム
C 1	コート・ジボアール	KE	ケニア	NO	オランウェー	YU	ユーゴスラビア
CM	カメルーン	KG	キルギスタン	NZ	ニュージーランド	ZW	ジンバブエ
C N	中国	KP	朝鮮民主主義人民共和国	PL	ボーランド		
C U	キューバ	KR	大韓民国	PT	ボルトガル		
C Z	チェコ共和国	KZ	カザフスタン	RO	ルーマニア		
D E	ドイツ	LC	セントルシア	RU	ロシア連邦		
D K	デンマーク	L I	リヒテンシュタイン	SD	スードアン		
E E	エストニア	L K	スリランカ	SE	スウェーデン		

明細書

半導体装置およびその製造方法

技術分野

本発明は半導体装置およびその製造方法、特に高電子移動度トランジスタ（HEMT：High Electron Mobility Transistor）を有する半導体装置およびその製造技術に関し、特に雑音特性や電力利得が高くかつ静電破壊強度が高い移動体通信用HEMTおよびその製造に適応して有効な技術に関する。

10 背景技術

移動体通信用半導体装置としてGaAsMESFET（Metal Semiconductor Field Effect Transistor）やGaAsHEMTが使用されている。GaAsHEMTはGaAsMESFETに比較して雑音特性や電力利得等高周波特性が優れている。

15 使用周波数帯域が5GHz以下となるGaAsHEMTは、たとえば、半絶縁性GaAs基板上に電子走行層となるアンドープGaAs層、前記アンドープGaAs層の表層に2次元電子ガスチャネルを発生させる第1導電型（N型）からなる電子供給層となるAlGaAs層、電極とのオーミック性をとるためのオーミックコンタクト層となるN型GaAsを順次エピタキシャル成長させた基板を使用している。この種のHEMTについては、培風館発行、「超高速化合物半導体デバイス」P121～P123や、電子情報通信学会発行、ED82-127（低雑音HEMT）に記載されている。また、特開平2-16274

4号公報および特開昭60-86874号公報には、ゲート・ソース間に保護素子をモノリシックに組み込んだ例が記載されている。

HEMTは雑音特性や電力利得等の高周波特性が良好であるが、静電破壊強度が、たとえば、約30V以下と低いため、その取り扱い時、

5 静電破壊が起きないように充分な注意を必要とする。このため、半導体装置の製造歩留りが低下したり、組立の作業性が低くなる場合もある。

そこで、本発明者はHEMTの静電破壊強度を向上させるため、たとえば、ゲート・ソース間に保護素子を入れることを検討した。

10 一般に、GaAs基板正面にN型層以外のP型層等を形成する場合、イオン注入法等を実施する。しかし、イオン注入法はその後高温熱処理が必要となる。この結果、前記エピタキシャル層は高温熱処理によりエピタキシャル界面の濃度プロファイルの変化等が発生する。このため、HEMTの製造において、高温熱処理を必要とするイオン注入法は避けられている。

また、HEMTにおける雑音特性や電力利得の関係からHEMTのゲート(G)とソース(S)間にNPNで構成されるバックトゥバック(back-to-back)ダイオードを組み込むことは困難である。これは以下の理由による。

20 第14図は本発明者によって検討確認された半導体装置と従来の半導体装置の周波数と雑音指数(dB)との相関を示すグラフであり、第15図は本発明者によって検討確認された半導体装置および従来の半導体装置の周波数と電力利得(dB)との相関を示すグラフである。

曲線Aは保護素子を設けないHEMTの特性を示し、曲線CはNPNバックトゥバックダイオードを組み込んだHEMT(HEMT(N

P N D) } の特性を示し、曲線DはM E S F E Tの特性を示す。また、HEMTとMESFETの雑音指數NFを比較するため、それぞれの仮のデバイス(半導体装置)構造を略同一として以下のように設定する。ゲート長は $0.5 \mu m$ 程度、ゲート幅は $200 \sim 300 \mu m$ 程度、

5 ゲート下部の空乏層幅は $250 \sim 500 \text{ \AA}$ とする。

雑音指數(NF)の許容値を 1.5 dB とした場合、使用周波数帯域は、GaAs-MESFETは曲線Dで示すように 5 GHz 帯まで可能であり、HEMTの場合曲線Aで示すように 12 GHz 帯、すなわち衛星通信用にも使用できる。

10 しかし、ゲートとソース間にNPNのバクトウバックダイオードを組み込んだHEMTの場合は、曲線Cで示すように雑音指數は許容値を越え、使用に耐えないものとなる。

雑音指數NFは次式(1)で与えられる。

$$\text{NF} = 10 \log [1 + 2\pi f K (C_{ss} + C_p) \cdots (1)$$

15 $\times \{(R_s + R_g) / g_m\}^{1/2}$

ここで、fは周波数、Kはフィッティングファクタ、 C_{ss} はゲート・ソース間容量(ゲート下部の空乏層容量)、 C_p はゲート・ソース間寄生容量、 R_s はソース抵抗、 R_g はゲート抵抗、 g_m は相互コンダクタンスである。

20 式1から各周波数特性において高い周波数になるに従って雑音指數NFが大きくなることが分かる。また、ゲート・ソース間容量 C_{ss} の増大も雑音指數NFの増大の大きな原因となる。

つぎに、各半導体装置の違いについて説明する。

HEMT(曲線A)とMESFET(曲線D)において、前述の同等なデバイス構造を仮定した場合、 C_{ss} はそれほど変わらない(おお

よそ0.2~0.4 pF程度)。しかし、HEMTはMESFETに比較して電子移動度が大きいため、 g_m はHEMTの方が大きくなる。

ここで、式(1)より、 g_m のみが大きくなるとNFは小さくなることがわかる。具体的な値としては、移動体通信用途(5GHz帯)においてHEMTではおおよそ0.8~1.0 dB程度、MESFETでは1.2~1.5 dB程度である。

以上により、HEMTがMESFETより雑音指數に優れることがわかる。

つぎに、HEMT(曲線A)とNPNバクトラバクダイオードを組み込んだ(HEMT(NPND))のNFの差について説明する
NPN保護ダイオードを用いた場合には、移動体通信用途(5GHz帯)および衛星通信用途(12GHz帯)とも要求されるNF(おおよそ1.5 dB: max)を満足できない。この理由は、NPN保護ダイオードの持つ容量がHEMTの C_{ss} と略同じ大きさ(おおよそ0.2~0.4 pF程度)のため入力容量($C_{ss} + C_p$)が増大し、式(1)より著しいNFの劣化を引き起こすためである。以上により、NPN保護ダイオードは適用できないことがわかる。

一方、第15図に示すように、電力利得(PG)の許容値を15 dBとした場合、保護素子を組み込まないHEMT(曲線A)は12 GHz帯まで高い電力利得を得ることができる。しかし、前述のようにNPNのバクトラバクダイオードを組み込んだHEMT(曲線C)の場合では、10 GHz帯程度以上で所定の電力利得が得られない。

各周波数特性において高い周波数になるに従い、PGが劣化する原因は、次式(2)により明確である。

$$PG = 10 \log [\{ (g_m / 2\pi (C_{ss} + C_p)) / f \}^2]$$

$$\times \{ 1 / (4 g_s R_s) \}] \dots (2)$$

ここで、 g_s はドレインコンダクタンス、 R_s はチャネル抵抗である。

そこで、本発明者はゲート・ソース間容量 C_{ss} を小さくできるアンドープ層（真性半導体：intrinsic 以下*i*と称する）を用いる保護素子をゲート・ソース間あるいはゲート・ドレイン間に設けることによつて、衛星通信用途向けは実質的に困難としても、移動体通信用途向けの半導体装置では実使用に耐える高周波特性を有しつつ充分な静電破壊強度を持たせることができるこ⁵とを思い付き本発明をなした。

本発明の目的は、静電破壊強度の大きな高電子移動度トランジスタを有する半導体装置およびその製造方法を提供することにある。¹⁰

本発明の他の目的は、静電破壊強度が大きくかつ雑音指数や電力利得等高周波特性の優れた高電子移動度トランジスタを有する半導体装置およびその製造方法を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。¹⁵

発明の開示

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

半絶縁性化合物半導体基板と、前記半絶縁性化合物半導体基板の主面に形成されたアンドープ化合物半導体からなる電子走行層と、前記電子走行層上に形成されかつ前記電子走行層の表層に2次元電子ガスチャネルを発生させる第1導電型の化合物半導体からなる電子供給層と、前記電子供給層の上に形成されるソース電極およびドレイン電極と、前記ソース電極とドレイン電極の間の前記電子供給層の上面に形²⁰

成されたゲート電極とを有する半導体装置であって、前記ゲート電極とソース電極との間に前記アンドープ層上の電子供給層を部分的にエッティング除去して形成された真性半導体層と電子供給層部分とによるN i N型保護素子が設けられている。

5 前記電子走行層はアンドープG a A s層，前記電子供給層はN型A
1 G a A s層，前記オーミックコンタクト層はN型G a A s層で形成
され、前記電子走行層となるG a A sアンドープ層の不純物濃度は 10^{15} cm^{-3} 以下となっている。

半導体装置に組み込まれる半導体チップ（半導体装置）は以下の工
程を経て製造される。

半絶縁性化合物半導体基板の正面にアンドープ化合物半導体からなる電子走行層および前記電子走行層の表層部分に2次元電子ガスチャネルを発生させる第1導電型の化合物半導体からなる電子供給層ならびに電極との間でオーミックコンタクトをとる第1導電型の化合物半導体からなるオーミックコンタクト層を順次形成する工程と、前記オーミックコンタクト層上にソース電極およびドレイン電極を形成する工程と、前記オーミックコンタクト層を選択的に除去して電子供給層上にゲート電極を形成する工程とを有する半導体装置の製造方法であって、前記ゲート電極と前記ソース電極との間にオーミックコンタクト層から電子走行層に到達するエッティング溝を設け、前記ゲート電極と前記ソース電極または前記ドレイン電極間に真性半導体層と前記電子供給層によるN i N型保護素子を形成する。

前記電子走行層はアンドープG a A s層，前記電子供給層はN型A
1 G a A s層，前記オーミックコンタクト層はN型G a A s層で形成
され、前記電子走行層となるG a A sアンドープ層の不純物濃度は 10^{15} cm^{-3} 以下となっている。

10^{15} cm^{-3} 以下に形成される。

前記半導体装置に形成される絶縁膜は前記電子走行層の表層に形成される 2 次元電子ガスチャネルの特性を損なわない低い温度で形成される。たとえば、絶縁膜は膜形成温度が 420°C 程度以下でリン濃度 5 が 7 m o l 程度以下によって形成されるリンシリケートガラス膜で形成する。

前記の手段によれば、G a A s H E M T のゲートとソース間に N i N 型保護素子が組み込まれることから、静電破壊強度の向上が達成できる。すなわち、静電破壊強度は従来の H E M T に比較して 3 倍以上 10 の 100 V 程度になる。これにより、半導体装置の取り扱い時の静電破壊が起き難くなる。

また、組み込まれる N i N 型保護素子は N P N バックトゥバックダイオードの 1 / 10 程度と容量が小さいため、雑音指数や電力利得に与える影響が少くなり、半導体装置は移動体通信用半導体装置として充分使用可能となる。

また、G a A s アンドープ層は不純物濃度が 10^{15} cm^{-3} 以下となり、電子供給層によって確実に 2 次元電子ガスチャネルが形成されるため、半導体装置は安定した高周波特性が得られる。

また、半導体チップ製造における N i N 型保護素子の製造時、高温 20 加熱を伴わないエッティングによって N i N 構造を形成するため、不純物濃度プロファイルが変化しない。

また、半導体装置に形成される絶縁膜は低温度で形成されることから、H E M T の特性が損なわれない。

25 図面の簡単な説明

第1図は本発明の一実施形態である半導体装置の模式的平面図である。

第2図は本発明の一実施形態である半導体装置の平面図である。

第3図は前記半導体装置の断面図である。

5 第4図は前記半導体装置の一部を示す模式的断面図である。

第5図は前記半導体装置の製造において半導体チップをタブに固定し前記半導体チップの電極とリードとをワイヤで接続した状態を示す平面図である。

10 第6図は本発明の一実施形態である半導体装置の製造方法に用いる化合物半導体基板とその主面に形成された化合物半導体層を示す一部の断面図である。

第7図は前記半導体装置の製造においてリセスエッティング加工された化合物半導体基板を示す一部の断面図である。

15 第8図は前記半導体装置の製造においてソース電極、ドレイン電極および保護素子電極が形成された化合物半導体基板を示す一部の断面図である。

第9図は前記半導体装置の製造においてN i N型保護素子形成のためのエッティング溝が形成された化合物半導体基板を示す一部の断面図である。

20 第10図は前記半導体装置の製造においてゲート電極が形成された化合物半導体基板を示す一部の断面図である。

第11図は前記半導体装置の製造において選択的に絶縁膜が形成された化合物半導体基板を示す一部の断面図である。

25 第12図は本実施形態による半導体装置の周波数と雑音指數の相關を示すグラフである。

第13図は本実施形態による半導体装置の周波数と電力利得の相関を示すグラフである。

第14図は本発明者によって検討確認された半導体装置と従来の半導体装置の周波数と雑音指数との相関を示すグラフである。

5 第15図は本発明者によって検討確認された半導体装置と従来の半導体装置の周波数と電力利得との相関を示すグラフである。

発明を実施するための最良の形態

本発明の構成について実施形態とともに説明する。

10 なお、発明の実施形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

本実施形態1の半導体装置1は、第2図および第3図に示すように、略直方体からなる樹脂製の封止体2の両側からそれぞれ2本のリード3を突出させた構造となっている。前記リード3はガルウィング型となり、表面実装が可能な構造となっている。

前記封止体2の内部に延在する4本のリード3のうち、第5図に示すように、1本のリード3の内端は幅広のタブ4に繋がっている。半導体チップ5は、図示しない接合材によって前記タブ4に固定されている。また、前記タブ4に連なるリード3はソース(S)リードとなり、残りの3本のリード3はそれぞれソースリード、ゲート(G)リード、ドレイン(D)リードとなる。また、これらの各リード3と、前記半導体チップ5の各ポンディングパッド6は導電性のワイヤ7によって電気的に接続されている。また、前記半導体チップ5は、第3図に示すように、実装状態でタブ4の下面側になるようにリード3が成形されている。

半導体チップ5は、第1図に示すように四辺形となっている。半導体チップ5は、たとえば1辺が0.3~0.6mmの正方形となり、厚さは0.15~0.25mmとなっている。同図でハッチングを施した部分がソース配線10、クロスハッチングを施した部分がドレイン配線11、点々を施した部分がゲート配線12である。各配線の一部はそれぞれ4隅に延在し、四辺形のボンディングパッド6が形成される。このボンディングパッド6は第4図に示すように、パッシベーション膜8を設けないことによって形成される。たとえば、右上隅がゲート用ボンディングパッド6G、右下隅がソース用ボンディングパッド6S、左上隅がソース用ボンディングパッド6S、左下隅がドレイン用ボンディングパッド6Dとなっている。

第1図に示すように、半導体チップ5の中心部分に先端を延在するドレイン配線11の下には長方形のドレイン電極13が配置され、このドレイン電極13の両側には、それぞれ平行に長方形のソース電極14が位置している。ドレイン電極13とソース電極14は全長に亘って対面している。前記ソース電極14はソース配線10に重なり電気的に接続している。前記ドレイン電極13とソース電極14との間にはそれぞれ1本の線で示すが、ゲート電極15が位置している。また、このゲート電極15の上にもゲート配線12が重なり、電気的に接続されている。これにより、高電子移動度トランジスタ(HEMT)9が形成される(第4図参照)。

また、N型化合物半導体層16とN型化合物半導体層17との間に真性半導体層(i層)18を挟んだN*i*N型保護素子19が形成されている。前記N型化合物半導体層16およびN型化合物半導体層17上には保護素子電極20, 21が形成されている。そして、前記一方

の保護素子電極 20 はソース配線 10 に接続され、他方の保護素子電極 21 はゲート配線 12 に接続されている。

第4図は半導体チップ 5 の一部の断面を示す図であるが、模式的図でありかつ H E M T 9 と N i N 型保護素子 19 を同時に示す図である。

半導体チップ 5 は、第4図に示すように、半絶縁性化合物半導体基板、たとえば、半絶縁性 G a A s 基板 25 の主面（上面）にエピタキシャル成長によって形成した 3 層の化合物半導体層、たとえば、電子走行層となるアンドープ G a A s 層 26、電子供給層となる N 型 A 1 G a A s 層 27、オーミックコンタクト層となる N 型 G a A s 層 28 を加工し、かつ縦横に分断することによって形成される。

アンドープ G a A s 層 26 は厚さ 3 0 0 0 ~ 1 0 0 0 0 Å 程度となっている。また、このアンドープ G a A s 層 26 は、2 次元電子ガスチャネルが形成される電子走行層となることから、不純物濃度は $1 \times 10^{15} \text{ cm}^{-3}$ 以下（P型）とする。すなわち、アンドープ G a A s 層が N 型となると、アンドープ G a A s 層全体がチャネルとして働き特性は劣化する。G a A s アンドープ層の不純物濃度を $1 \times 10^{15} \text{ cm}^{-3}$ 以下としておくことにより、電子供給層の作用によって確実に 2 次元電子ガスチャネルが形成されるため、安定した高周波特性が得られる。

N 型 A 1 G a A s 層 27 は厚さ 1 0 0 ~ 4 0 0 Å 程度で、不純物濃度は $1 \times 10^{18} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度である。また、N 型 G a A s 層 28 は厚さ 5 0 0 ~ 2 0 0 0 Å 程度で、不純物濃度は $1 \times 10^{18} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度である。

H E M T 9 の部分、すなわち、能動部では前記アンドープ G a A s 層 26 上に選択的に N 型 A 1 G a A s 層 27 が載り、かつ N 型 A 1 G a A s 層 27 上には N 型 G a A s 層 28 で形成されるソース用オーミ

ックコンタクト層30、ドレイン用オーミックコンタクト層31が1
～ $2\text{ }\mu\text{m}$ 程度の間隔を隔てて配置されている。前記ソース用オーミック
コンタクト層30の上には前記ソース電極14が設けられ、前記ド
レイン用オーミックコンタクト層31の上には前記ドレイン電極13
5 が設けられている。ソース電極14およびドレイン電極13は金系材
料、たとえばAuGe/Ni/Ti/Auで形成されている。これら
電極の厚さは、たとえば5000Å程度である。

ソース用オーミックコンタクト層30とドレイン用オーミックコン
タクト層31との間に露出したN型AlGaAs層27上には前記ゲ
10 ート電極15が形成される。ゲート長は、たとえば0.5μmであり、
ゲート幅は200～300μmである。ゲート電極15は、たとえば
AlまたはMo/Au等で形成され、厚さは5000～10000Å
程度である。

前記アンドープGaAs層26とN型AlGaAs層27とによっ
15 て、電子走行層としてのアンドープGaAs層26の表層部分には2
次元電子ガスチャネルが形成される。

NiN型保護素子19部分では、アンドープGaAs層26上に独立してN型AlGaAs層27が載る。また、このN型AlGaAs
層27上にはN型GaAs層28が重なって載る。そして、前記N型
20 AlGaAs層27およびN型GaAs層28は、NiN型保護素子
形成用のエッティング溝35で分断されている。エッティング溝35は2
次元電子ガスチャネルが発生するアンドープGaAs層26の表層部
分を貫くように設けられている。前記エッティング溝35の幅は数μm
となる。前記エッティング溝35の一側のN型AlGaAs層27と、
25 他側のN型AlGaAs層27と、一側のN型AlGaAs層27か

ら他側のN型AlGaAs層27に至るアンドープGaAs層26によってN型半導体36と真性半導体37とN型半導体38によるNi-N型保護素子19が形成されることになる。N型半導体36およびN型半導体38上のN型GaAs層28はそれぞれ保護素子用オーミックコンタクト層39、40となる。前記保護素子用オーミックコンタクト層39上には前記保護素子電極21が設けられ、保護素子用オーミックコンタクト層40上には前記保護素子電極20が設けられている。

また、半導体チップ5の正面側は絶縁膜（層間絶縁膜）41によって選択的に覆われている。この絶縁膜41は、たとえば膜形成温度が420°C程度以下でリン濃度が7m。1程度以下になるリンシリケート膜（PSG膜）で形成され、厚さは5000~10000Åとなっている。これによって絶縁膜41の形成時、2次元電子ガスチャネル（HEMTの特性）が損なわれることはない。また、絶縁膜41はSiO₂膜でもよく、多層膜でもよい。

また、前記絶縁膜41上には選択的に配線が形成されている。この配線は前述のように、第1図で示すようにソース配線10、ドレイン配線11、ゲート配線12のように形成される。そして、前記絶縁膜41が設けられない部分がコンタクト穴となり、各コンタクト穴に充填された配線材料によって各配線と各電極が接続される。

また、前記半導体チップ5の表面はパッシベーション膜8で覆われている。そして、パッシベーション膜8を選択的に除去した部分がボンディングパッド6となる。前記パッシベーション膜8は、前記絶縁膜41と同様に膜形成温度が420°C程度以下でリン濃度が7m。1程度以下になるリンシリケート膜（PSG膜）で形成され、厚さは5

000～10000Åとなっている。これによってパッシベーション膜8の形成時、2次元電子ガスチャネル（HEMTの特性）が損なわれることはない。また、絶縁膜41はSiO₂膜でもよく、多層膜でもよい。

5 つぎに、半導体チップ5の製造について第6図～第11図を参照しながら説明する。なお、これらの図において、前記第4図と同様に半導体基板の一部の断面を模式的に示し、かつ左側にNiN型保護素子を製造する部分を、右側にHEMTを製造する部分を示す。

最初に数100μmの厚さの半絶縁性GaAs基板25を用意した
10 後、第6図に示すように、エピタキシャル成長によって、主面にアン
ドープGaAs層26、N型AlGaAs層27、N型GaAs層28を形成する。アンドープGaAs層26は厚さ3000～1000
0Å程度となっている。また、このアンドープGaAs層26は、2
次元電子ガスチャネルが形成される電子走行層となることから、不純
15 物濃度は 10^{15} cm^{-3} 以下（P型）とする。これによって、アンドープ
GaAs層26の表層部分には2次元電子ガスチャネルが形成され
る。

N型AlGaAs層27は厚さ100～400Å程度で、不純物濃度は $1 \times 10^{18} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度である。また、N型GaAs
20 層28は厚さ500～2000Å程度で、不純物濃度は $1 \times 10^{18} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度である。

HEMT形成部分において、前記アンドープGaAs層26は電子
走行層、N型AlGaAs層27は電子供給層、N型AlGaAs層
27はオーミックコンタクト層として使用される。また、NiN型保
25 護素子の製造部分において、前記アンドープGaAs層26はNiN

型保護素子 19 を形成するための真性半導体層、N型 AlGaAs 層 27 は 2 分されて NiN 型保護素子 19 の N型半導体層として使用される。

つぎに、第 7 図に示すように、常用のホトリソグラフィ技術によつて N型 AlGaAs 層 27 および N型 GaAs 層 28 をリセスエッチングして所定部分を電気的に独立した状態とする。前記ホトリソグラフィでは所定部分にホトレジスト膜を形成した後露出する N型 GaAs 層 28 および N型 AlGaAs 層 27 をエッチングするが、エッチング液はたとえばアンモニア系エッチング液等が用いられる。

つぎに、半絶縁性 GaAs 基板 25 の主面上全体に絶縁膜を形成し、常用のホトリソグラフィ技術およびリフトオフ法を用いて N型 GaAs 層 28 の上に電極を形成する。電極は、第 8 図に示すように、たとえば厚さ 5000 Å 程度の AuGe / Ni / Ti / Au で形成される。最上層が Au 層である。HEMT 形成部分において、例えば、左側の電極がソース電極 14 になり、右側の電極がドレイン電極 13 となる。また、NiN 型保護素子形成部分において、例えば、右側の電極が保護素子電極 20 となり、左側の電極が保護素子電極 21 となる。

つぎに、第 9 図に示すように、半絶縁性 GaAs 基板 25 の主面にホトレジスト膜 45 を選択的に形成した後、ホトレジスト膜 45 をエッチング用マスクとして、前記保護素子電極 20 と保護素子電極 21 の間の N型 GaAs 層 28 および N型 AlGaAs 層 27 をエッチング除去する。この、エッチング溝 35 は 2 次元電子ガスチャネルが発生するアンドープ GaAs 層 26 の表層部分を貰くように設けられる。エッチング液はたとえばアンモニア系エッチング液等が用いられる。このエッチングにおいて、あらかじめエッチングレートを確認した上

でエッティングを実施し、エッティング量を調整する。

前記エッティング溝35の幅は数 μm となる。前記エッティング溝35の一側のN型AlGaAs層27と、他側のN型AlGaAs層27と、一側のN型AlGaAs層27から他側のN型AlGaAs層27に至るアンドープGaAs層26によってN型半導体36と真性半導体(i)37とN型半導体38によるNiN型保護素子19が形成されることになる。このNiN型保護素子19の容量は、たとえば0.02~0.04PFと極めて小さい。

また、前記N型半導体36およびN型半導体38上のN型GaAs層28はそれぞれ保護素子用オーミックコンタクト層39, 40となり、保護素子電極20, 21との間にオーミックコンタクトが取れる。

つぎに、前記ホトレジスト膜45を除去した後、新たに選択的にホトレジスト膜を形成し、その後第10図に示すようにHEMT形成部分のドレイン電極13とソース電極14の間のN型GaAs層28を15エッティング除去する。このエッティング溝、すなわちゲート形成溝46の幅は1~2 μm 程度である。

つぎに、露出したN型AlGaAs層27の表面に前記ゲート電極15が形成される。ゲート長は、たとえば0.5 μm であり、ゲート幅は200~300 μm である。ゲート電極15は、たとえばAlまたはMo/Au等で形成され、厚さは5000~10000Å程度である。

これによってHEMT9が形成される。ドレイン電極13の下のN型GaAs層28はドレイン用オーミックコンタクト層31になり、ソース電極14の下のN型GaAs層28はソース用オーミックコンタクト層30になる。

つぎに、半絶縁性G a A s 基板2 5の正面に絶縁膜4 1を選択的に形成する。この絶縁膜4 1は、たとえば膜形成温度が4 2 0 ℃程度以下でリン濃度が7 m o l 程度以下になるリンシリケート膜(P S G膜)で形成され、厚さは5 0 0 0 ~ 1 0 0 0 0 Åとなっている。これによ
5 って絶縁膜4 1の形成時、2次元電子ガスチャネル(HEMTの特性)が損なわれることはない。また、前記絶縁膜4 1は選択的に設けられ、絶縁膜4 1が設けられない部分は、各電極と配線を接続するコンタクト穴4 7になる。

つぎに、前記半絶縁性G a A s 基板2 5の正面に配線を形成する。
10 配線は、たとえばA l またはM o / A u等で形成され、厚さは5 0 0 0 ~ 1 0 0 0 0 Å程度である。配線は第1図に示すように、ソース配線1 0、ドレイン配線1 1、ゲート配線1 2となる。ソース配線1 0はソース電極1 4および保護素子電極2 0に接続され、ドレイン配線1 1はドレイン電極1 3に接続され、ゲート配線1 2はゲート電極1 5および保護素子電極2 1に接続される。
15

つぎに、半絶縁性G a A s 基板2 5の正面にパッシベーション膜8を形成する。パッシベーション膜8は、たとえば膜形成温度が4 2 0 ℃程度以下でリン濃度が7 m o l 程度以下になるリンシリケート膜(P S G膜)で形成され、厚さは5 0 0 0 ~ 1 0 0 0 0 Åとなっている。これによってパッシベーション膜8の形成時、2次元電子ガスチャネル(HEMTの特性)が損なわれることはない。また、パッシベーション膜8が設けられない部分がボンディングパッド6になる。

つぎに、半絶縁性G a A s 基板2 5は、その裏面が所定の厚さ削られ、およそ0. 1 5 ~ 0. 2 5 mmの厚さにされた後、縦横に分断される。これによって、第1図に示すような半導体チップ5が製造され
25

る。半導体チップ5は、たとえば1辺が0.3~0.6mmの正方形となる。

このような半導体チップ5は、第5図に示すようにリードフレーム50のタブ4上に図示しない接合材を介して接続される。リードフレーム50は、全体を図示しないが、平行に延在する外枠と、この一对の外枠を一定間隔で連結する内枠とからなり、たとえば、上下2本のリード3は、前記外枠から内枠に平行に延在している。また、トランスマルチモード時、溶けた樹脂（レジン）が流出しないように、リード3間およびリード3と内枠を連結する図示しないダムも形成されて10いる。

つぎに、半導体チップ5のボンディングパッド6とリード3はワイヤ7で接続される。また、常用のトランスマルチモード装置によって前記タブ4、半導体チップ5、ワイヤ7およびリード3の先端部分を封止体2で覆い、不要なリードフレーム部分を切断除去し、かつ封止15体2から突出する4本のリード3をガルウイング型に成形することによって第2図に示す半導体装置1が製造される。

このように、本実施形態によれば、以下の作用効果が得られる。

GaAsHEMTのゲートとソース間にNiN型保護素子が組み込まれることから、静電破壊強度の向上が達成できる。すなわち、静電20破壊強度は従来のHEMTに比較して3倍以上の100V程度になる。

しかしながら、本実施形態のHEMTは5GHz帯の移動体通信用半導体装置として使用できるが、12GHz帯の衛星通信用半導体装置としては要求される特性（雑音指数、電力利得）によっては使用できない場合もある。

25 この理由は、NiN型保護素子の持つ容量が0.02~0.04pF

F以下とHEMTのゲート・ソース間容量 C_{ss} （おおよそ、0.2～0.4 pF）程度に比較して殆ど無視できるレベルの値であることによる。これにより、移動体通信用用途（5 GHz帯）では入力容量（ $C_{ss} + C_s$ ）の増大は殆ど生じず、NFの劣化が殆ど起きないため
5 適用可能となる。

一方、衛星通信用用途（12 GHz帯）では、移動体通信用用途（5 GHz帯）より高い周波数であるため、数1および数2からも分かるように、また、図12および図13のグラフからも分かるように、移動体通信用用途以上にNFおよび電力利得の劣化が起こる。加えて、衛星
10 通信用用途では、NFのスペックが厳しいことなどを考慮して、NiN型保護素子を組み込まない方が賢明である。

また、HEMTのゲート・ソース間にNiN型保護素子が設けられていることから、ゲートまたはソースからサージ電流が入っても、ゲート・ソース間の持つ耐圧よりも小さい耐圧を持つNiN型保護素子
15 に流れ、HEMTにおけるゲートのショットキー接合の破壊を防止することができる。なお、NiN型保護素子の耐圧はN同士の間隔で決まる。また、サージ電流はi（アンドープGaAs層）と絶縁膜（層間絶縁膜）との界面を流れる。

また、GaAsアンドープ層は不純物濃度が 10^{15} cm^{-3} 以下となり、電子供給層によって確実に2次元電子ガスチャネルが形成されるため、半導体装置は安定した高周波特性が得られる。
20

また、半導体チップ製造におけるNiN型保護素子の製造時、高温加熱を伴わないエッティングによってNiN構造を形成するため、不純物濃度プロファイルが変化しない。したがって、HEMTの特性が安定する。
25

また、半導体装置に形成される絶縁膜は低温度で形成されることから、HEMTの特性が損なわれない。

以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

たとえば、半導体装置に複数のHEMTを組み込む場合は、それぞれのHEMTにNiN型保護素子を組み込むことによって、前記実施形態と同様に静電破壊強度が高く高周波特性に優れた半導体装置とすることができる。

また、ゲートが2本となるデュアルゲート構造のHEMTの場合は、それぞれのゲートとソース間にNiN型保護素子を組み込むことによって前記実施形態と同様に静電破壊強度が高く高周波特性に優れた半導体装置とすることができる。

また、ドレインがグランド(GND)になる場合は、NiN型保護素子はゲート電極とドレイン電極の間に設ける。これにより、前記実施形態と同様に静電破壊強度が高く高周波特性に優れた半導体装置とすることができる。

また、アンドープ層は多層であってもよい。たとえば、アンドープGaAs層26とN型AlGaAs層27との間にアンドープ層InGaAs層を入れても前記実施形態と同様に静電破壊強度が高く高周波特性に優れた半導体装置とすることができます。

産業上の利用可能性

以上の説明では主として本発明者によってなされた発明をその背景となつた利用分野である移動体通信用途の半導体装置の製造技術に適

21

用した場合について説明したが、それに限定されるものではなく、たとえば、L A N (local area network) の通信機器に使用できる。また、移動体通信用途の1例としてP H S (personal handy system)用通信機器がある。

5

10

15

20

25

請求の範囲

1. 半絶縁性化合物半導体基板と、前記半絶縁性化合物半導体基板の主面に形成されたアンドープ化合物半導体からなる電子走行層と、
5 前記電子走行層上に形成されかつ前記電子走行層の表層に2次元電子ガスチャネルを発生させる第1導電型の化合物半導体からなる電子供給層と、前記電子供給層の上に形成されるソース電極およびドレイン電極と、前記ソース電極とドレイン電極の間の前記電子供給層の上面に形成されたゲート電極とを有する半導体装置であって、前記ゲート電極とソース電極またはゲート電極とドレイン電極間に前記アンドープ層上の電子供給層を部分的にエッチング除去して形成された真性半導体層と電子供給層部分とによるN i N型保護素子が設けられていることを特徴とする半導体装置。

2. 前記N i N型保護素子はゲート電極とソース電極またはゲート電極とドレイン電極間に1つ以上設けられていることを特徴とする請求の範囲第1項に記載の半導体装置。

3. 前記アンドープ層は多層になっていることを特徴とする請求の範囲第1項または請求の範囲第2項に記載の半導体装置。

4. 前記電子走行層はアンドープG a A s層、前記電子供給層はN型A l G a A s層、前記オーミックコンタクト層はN型G a A s層で形成され、前記電子走行層となるG a A sアンドープ層の不純物濃度は 10^{15} cm^{-3} 以下となっていることを特徴とする請求の範囲第1項乃至請求の範囲第3項記載のうちいずれか1項に記載の半導体装置。

5. 半絶縁性化合物半導体基板の主面にアンドープ化合物半導体からなる電子走行層および前記電子走行層の表層部分に2次元電子ガス

チャネルを発生させる第1導電型の化合物半導体からなる電子供給層ならびに電極との間でオームックコンタクトをとる第1導電型の化合物半導体からなるオームックコンタクト層を順次形成する工程と、前記オームックコンタクト層上にソース電極およびドレイン電極を形成する工程と、前記オームックコンタクト層を選択的に除去して電子供給層上にゲート電極を形成する工程とを有する半導体装置の製造方法であって、前記ゲート電極と前記ソース電極または前記ドレイン電極との間にオームックコンタクト層から電子走行層に到達するエッチング溝を設け、前記ゲート電極と前記ソース電極または前記ドレイン電極間に真性半導体層と前記電子供給層によるN i N型保護素子を形成することを特徴とする半導体装置の製造方法。

6. 前記電子走行層はアンドープG a A s層、前記電子供給層はN型A l G a A s層、前記オームックコンタクト層はN型G a A s層で形成され、前記電子走行層となるG a A sアンドープ層の不純物濃度は 10^{15} cm^{-3} 以下に形成されることを特徴とする請求の範囲第5項記載の半導体装置の製造方法。

7. 前記半導体装置に形成される絶縁膜は前記電子走行層の表層に形成される2次元電子ガスチャネルの特性を損なわない低い温度で形成されることを特徴とする請求の範囲第5項または請求の範囲第6項に記載の半導体装置の製造方法。

1/8

FIG. 1

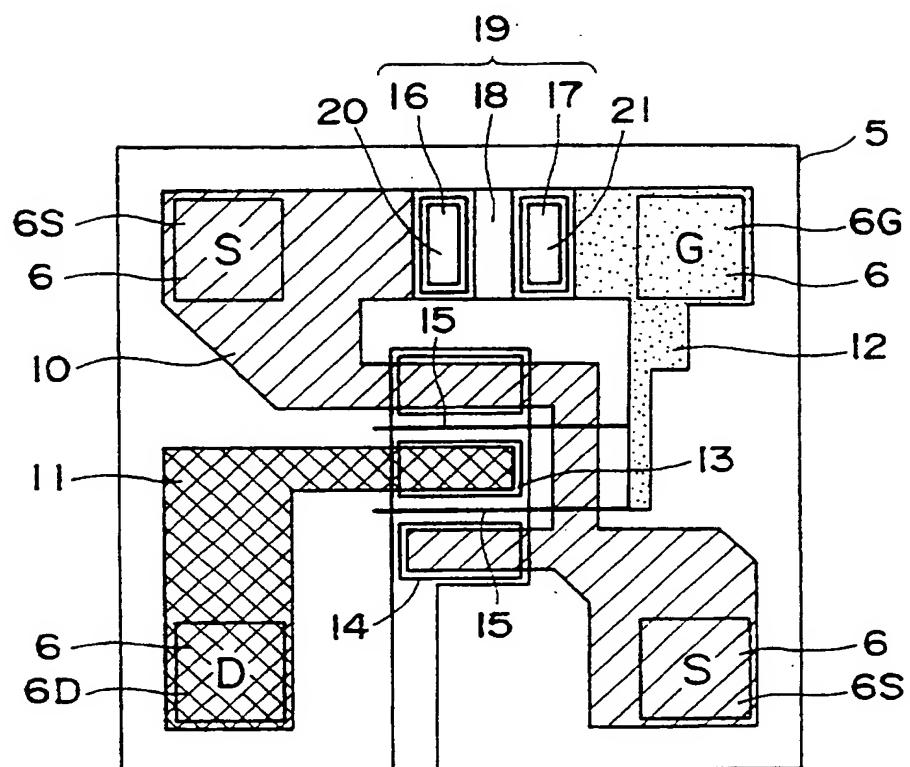
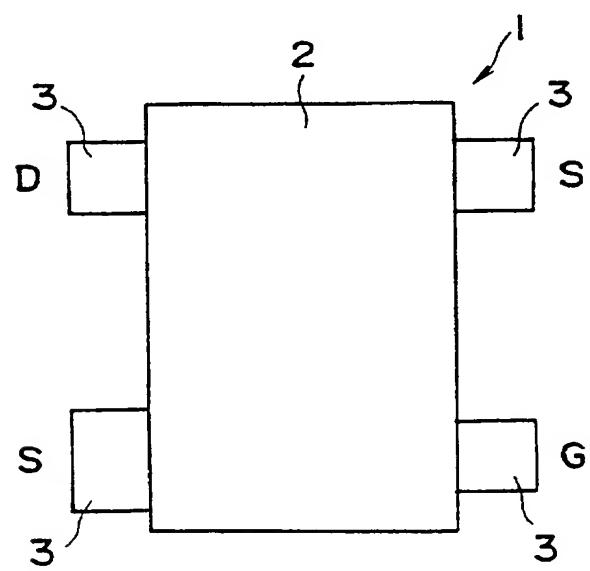


FIG. 2



2 / 8

FIG. 3

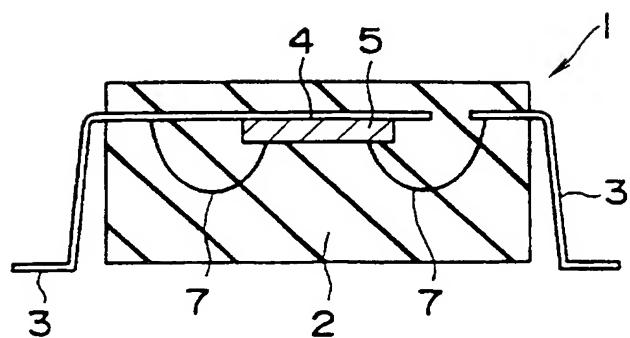
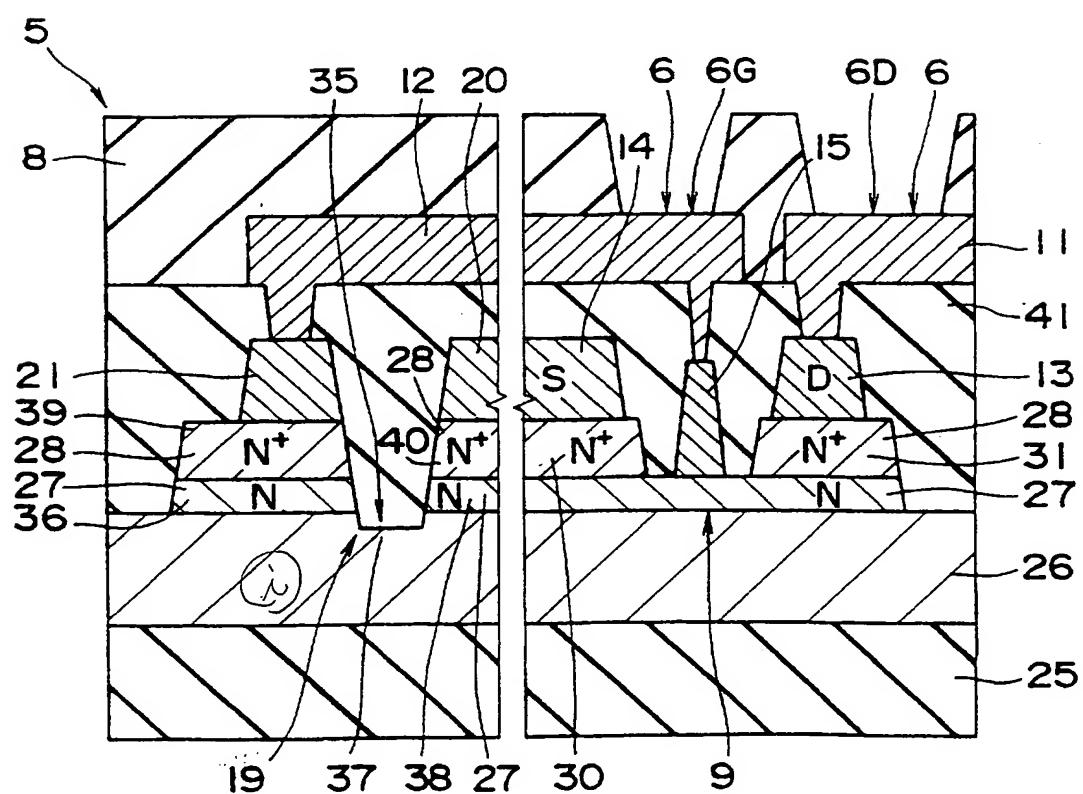
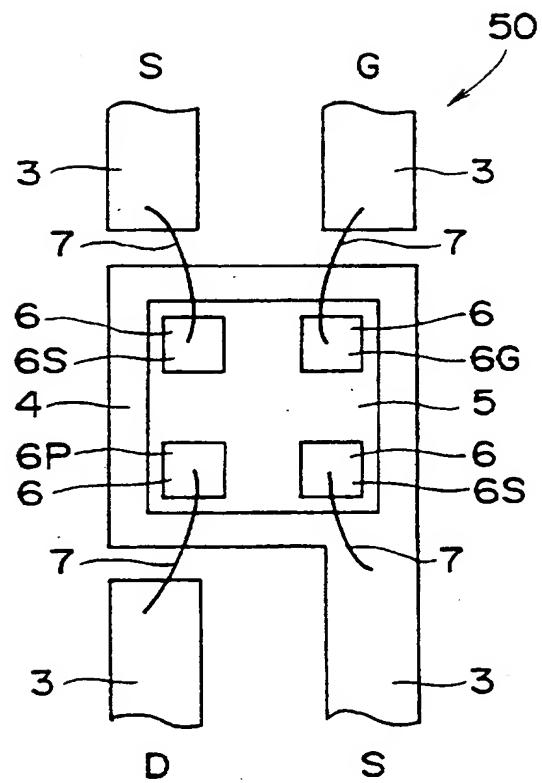


FIG. 4



3 / 8

FIG. 5



4 / 8

FIG. 6

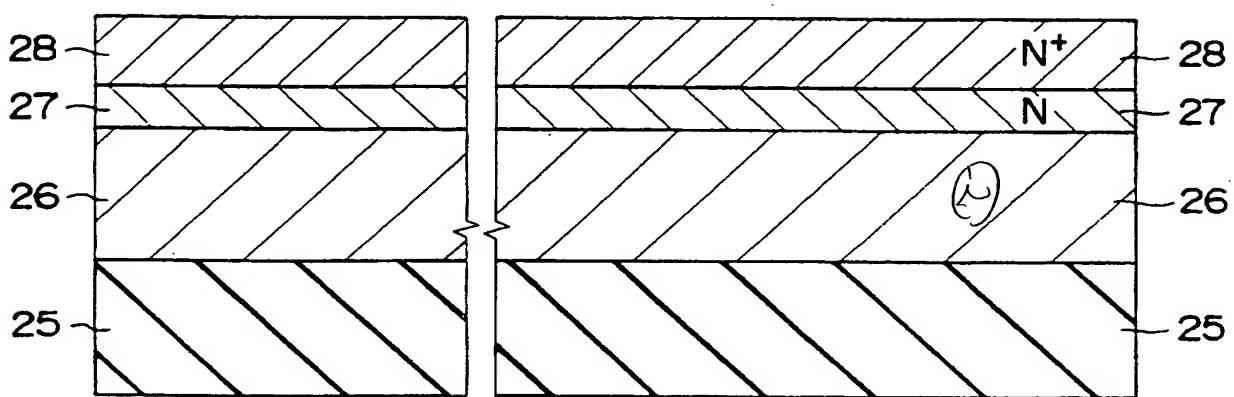
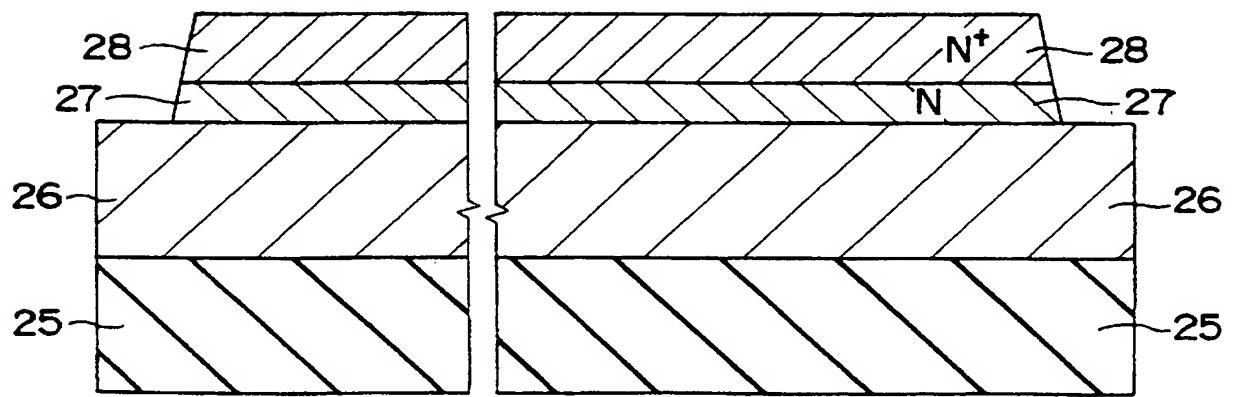


FIG. 7



5 / 8

FIG. 8

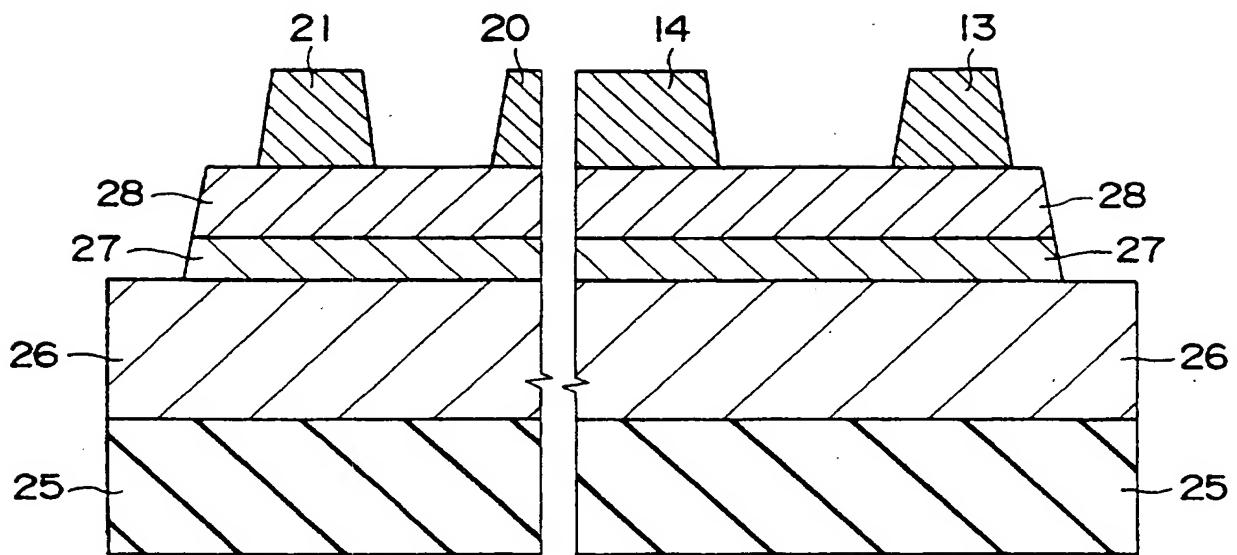
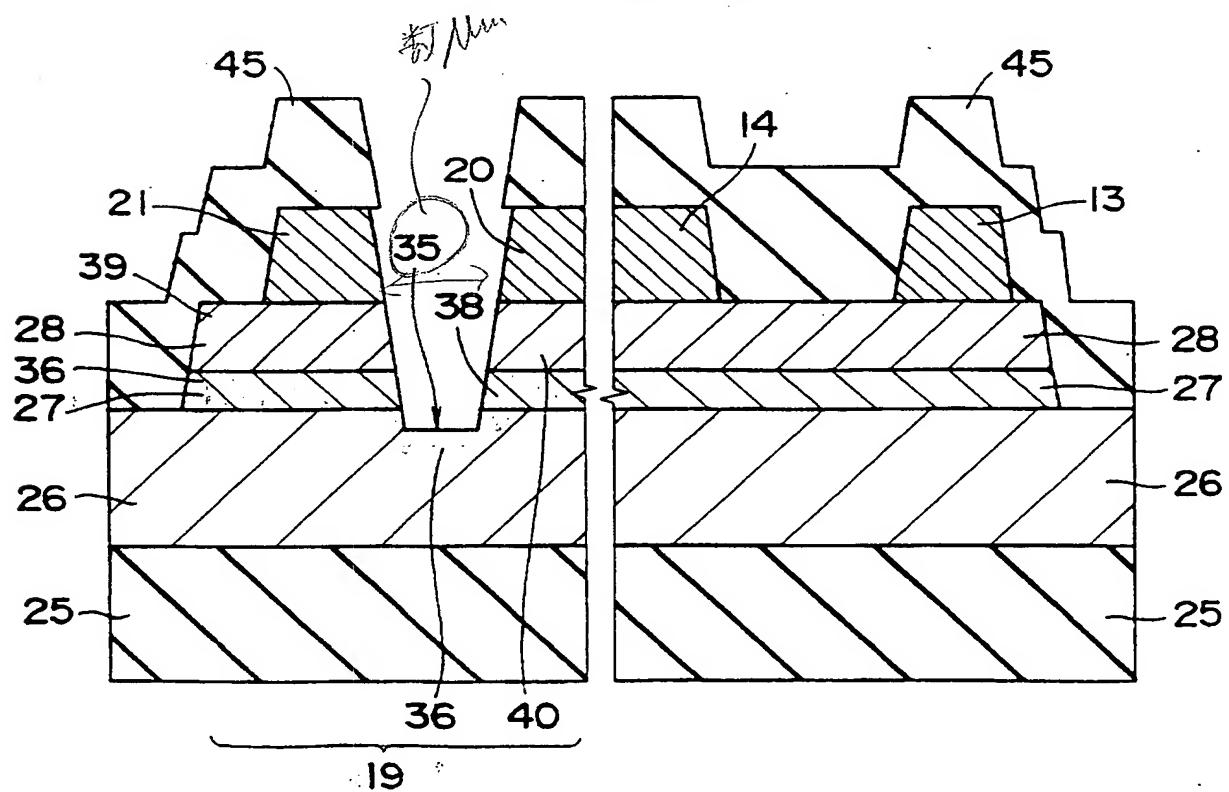


FIG. 9



6/8

FIG. 10

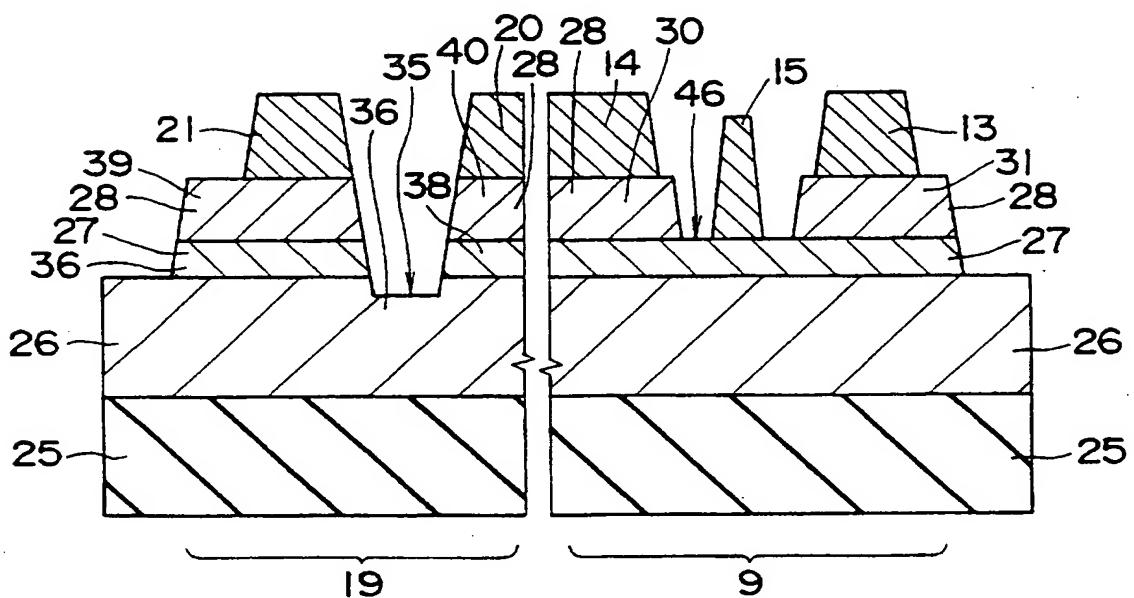
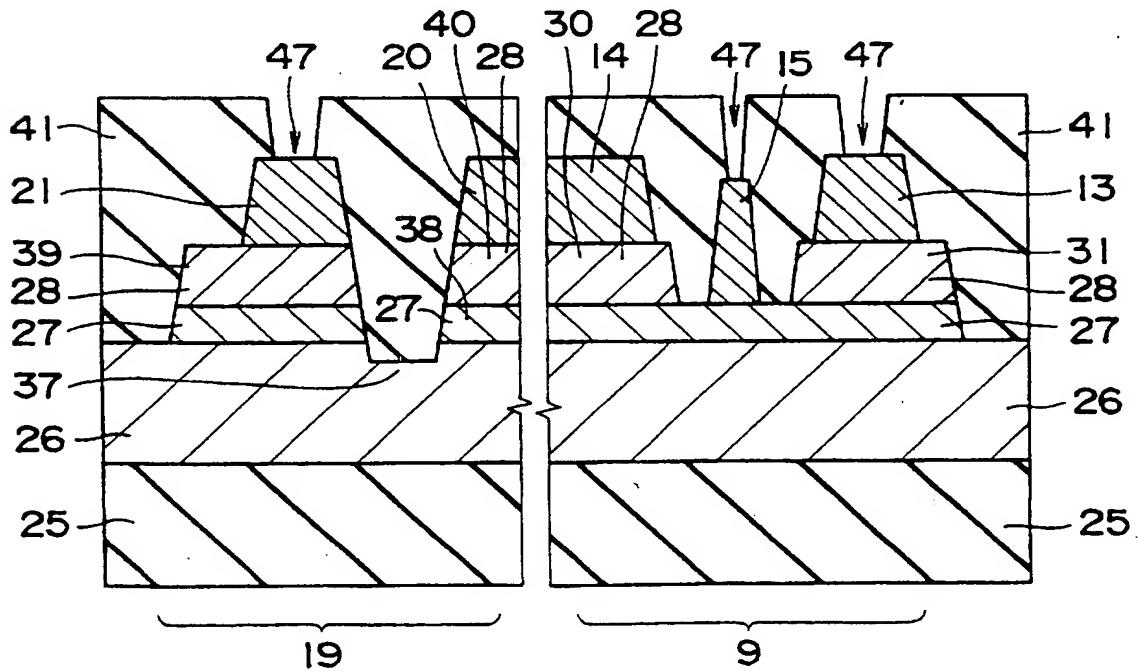


FIG. 11



7/8

FIG. 12

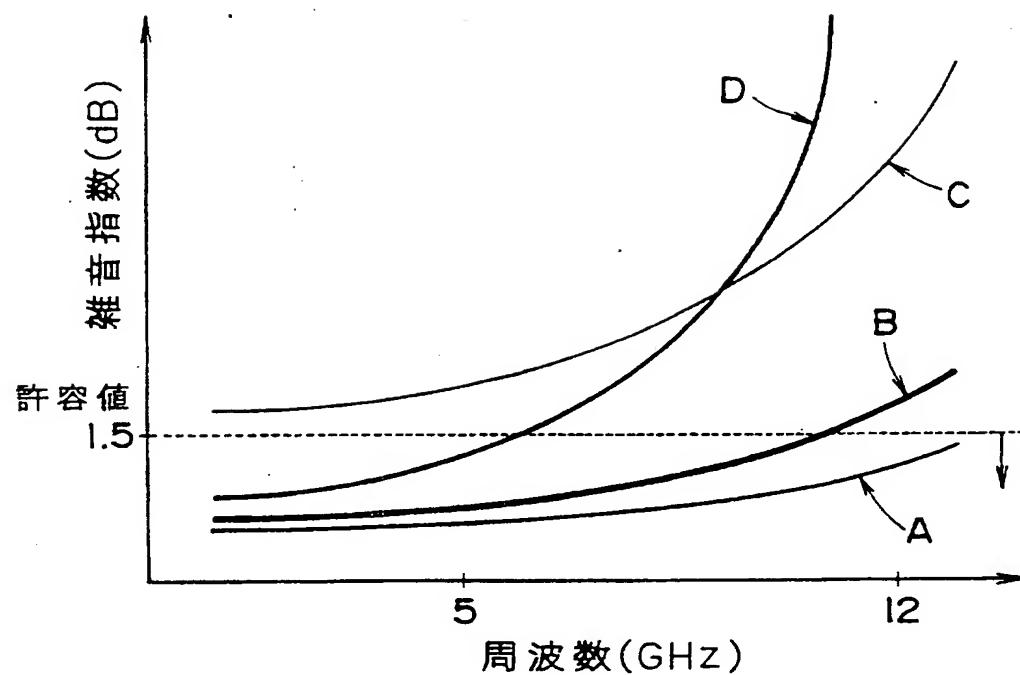
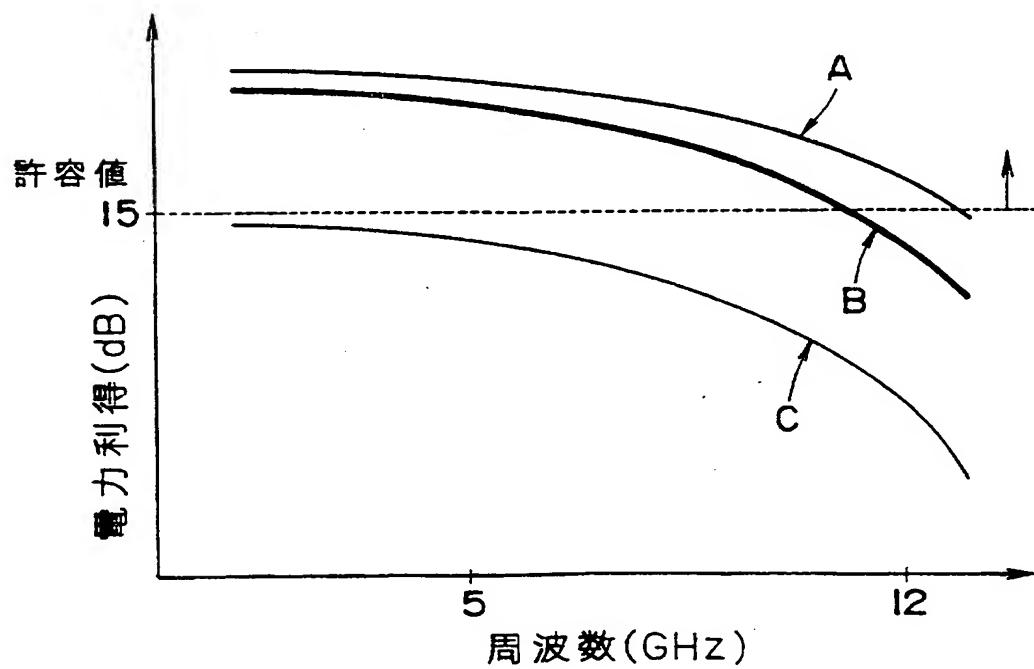


FIG. 13



8/8

FIG. 14

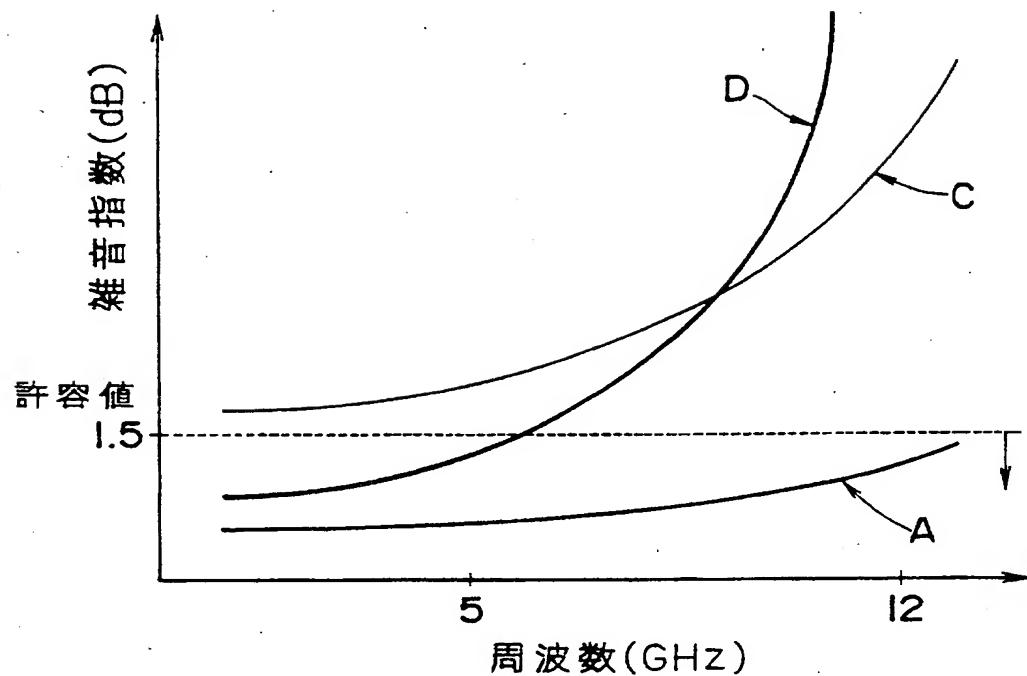
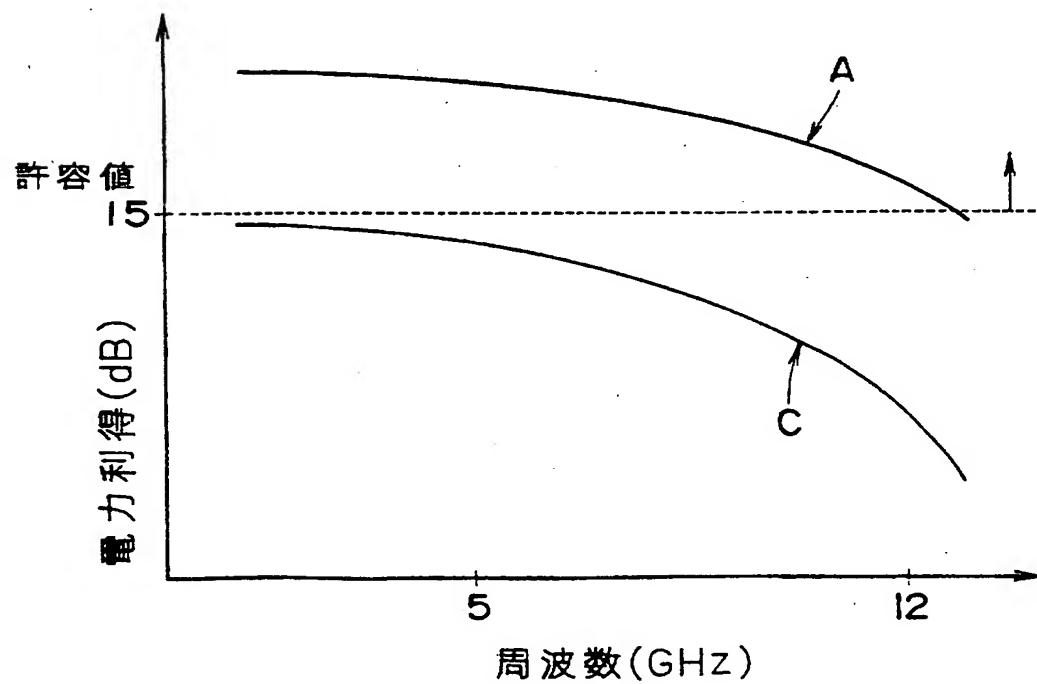


FIG. 15



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.